

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82083

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl.⁶

G11C 11/22

識別記号

庁内整理番号

F I

G11C 11/22

技術表示箇所

審査請求 有 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願平6-324558

(22) 出願日 平成6年(1994)12月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小池 洋紀

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 木村 亨

東京都港区芝五丁目7番1号 日本電気株式会社内

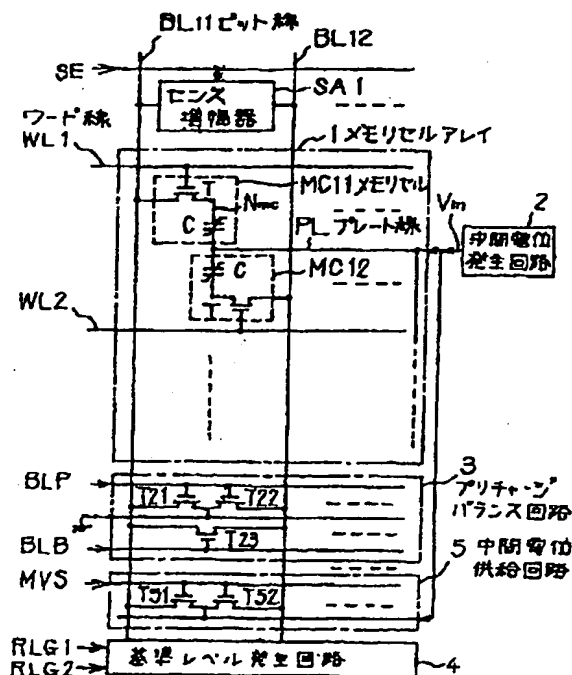
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 強誘電体メモリ装置

(57) 【要約】

【目的】動作の高速化、低消費電力化及び記憶破壊の防止、並びにワード線の制御の単純化をはかる。

【構成】プレート線PLを常時中間電位 V_m に固定する。外部アドレス信号による所定のワード線の選択レベルの前にビット線BL11、BL12を接地電位にプリチャージするプリチャージ・バランス回路3を設ける。この後、メモリセルに対する通常のアクセスを行った後、ビット線BL11、BL12を中間電位 V_m に保持する中間電位供給回路5を設ける。この後所定のワード線を順次選択レベルとし、メモリセルのトランジスタTを導通させセルノードNmの電位を中間電位 V_m に補正する。



1

【特許請求の範囲】

【請求項 1】 強誘電体膜を相対向する 2 つの電極で挟んで形成され前記強誘電体膜の分極状態により 2 値情報を記憶、保持する容量素子とソース、ドレインのうちの一方を前記容量素子の一方の電極に接続するトランジスタとを備え行方向、列方向に配置された複数のメモリセル、これら複数のメモリセルの各行それぞれと対応して設けられ対応する行の各メモリセルのトランジスタのゲートと接続して選択レベルのときこれらメモリセルを選択状態とする複数のワード線、前記複数のメモリセルの各列それぞれと対応して設けられ対応する列の各メモリセルのトランジスタのソース、ドレインのうちの他方と接続する複数のビット線、及び前記複数のメモリセルの容量素子それぞれの他方の電極と接続するプレート線を含みメモリセルアレイと、前記 2 値情報の論理レベルの高レベル及び低レベルの中間レベルと対応する中間電位を前記プレート線に定常的に供給するプレート線電位供給手段と、前記複数のワード線のうちの所定のワード線が外部アドレス信号に応答して選択レベルとなる前の所定の期間に前記複数のビット線を前記 2 値情報の論理レベルの高レベル及び低レベルのうちの一方のレベルと対応する電位にプリチャージするプリチャージ回路と、このプリチャージ回路によりプリチャージされたビット線に選択状態のメモリセルから読出された信号を所定の期間所定の基準レベルと比較し増幅する複数のセンス増幅器と、これら複数のセンス増幅器の増幅期間終了後前記複数のビット線を前記プレート線と同電位の中間電位に保持するビット線中間電位保持手段と、このビット線中間電位保持手段による前記複数のビットの中間電位保持期間中に前記複数のワード線のうちの所定のワード線を選択レベルとしてこのワード線に接続されたメモリセルのトランジスタを導通させこれらメモリセルのトランジスタ及び容量素子の接続点を前記中間電位に補正する容量素子電極電位補正手段とを有することを特徴とする強誘電体メモリ装置。

【請求項 2】 複数のビット線それぞれが対をなす第 1 及び第 2 のビット線から成り、複数のメモリセルそれぞれがトランジスタのソース、ドレインのうちの他方を前記第 1 及び第 2 のビット線と対応接続する第 1 及び第 2 のメモリセルから成り、複数のワード線それぞれが前記第 1 及び第 2 のメモリセルを対応して選択状態とする第 1 及び第 2 のワード線から成り、前記対をなす第 1 及び第 2 のビット線のうちの選択状態のメモリセルから読出された信号が伝達される方のビット線と対をなすビット線に所定のタイミングで所定の基準レベルを発生する基準レベル発生回路を備え、センス増幅器を前記第 1 及び第 2 のビット線間の差電位を増幅する回路とし、ビット線中間電位保持手段が、前記第 1 及び第 2 のビット線を同一電位にバランスさせるバランス回路と、所定のタイミングで前記第 1 及び第 2 のビット線に中間電位を供給

2

する中間電位供給回路とを含み、容量素子電極電位補正手段が、前記中間電位供給回路により前記第 1 及び第 2 のビット線に中間電位を供給している期間のうちの所定の期間前記第 1 及び第 2 のワード線を定期的に変換レベルとするワード線選択手段及びタイミング制御手段を含んで構成された請求項 1 記載の強誘電体メモリ装置。

【請求項 3】 ワード線選択手段が、内部アドレス信号を発生するアドレスカウンタと、外部アドレス信号及び前記内部アドレス信号のうちの一方を選択するアドレス切換回路とを備え、容量素子の電極電位補正時には前記内部アドレス信号を選択するようにした請求項 2 記載の強誘電体メモリ装置。

【請求項 4】 容量素子電極電位補正手段が、プリチャージ回路によるビット線のプリチャージの期間とこの期間に続く外部アドレス信号による所定のワード線の変換レベルの期間とを含む期間以外の期間に、ビット線中間電位保持手段により前記ビット線に中間電位に保持し、かつ複数のメモリセル全てのトランジスタを導通状態とする回路として構成された請求項 1 記載の強誘電体メモリ装置。

【請求項 5】 容量素子電極電位補正手段が、複数のワード線全てを所定のタイミングで中間電位とメモリセルのトランジスタのしきい値電圧との加算電位より高い所定の電位とするワード線レベル制御回路を含んで構成された請求項 4 記載の強誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は強誘電体メモリ装置に関し、特にスイッチング用のトランジスタと情報蓄積用のキャパシタとから成るメモリセルを複数個配列した構成の強誘電体メモリ装置に関する。

【0002】

【従来の技術】 従来の強誘電体メモリ装置について説明する前に、この誘電体メモリ装置に使用されるメモリセルの構成及び動作原理について、図 7 (A), (B) に示された回路図及び断面模式図を参照して説明する。

【0003】 このメモリセル MC は、強誘電体膜 FE を相対向する 2 つの電極で挟んで形成され一方の電極をプレート線 PL に接続する容量素子 C と、ゲート G をワード線 WL に、ソース S 及びドレイン D のうちの一方をビット線 BL に他方を容量素子 C の他方の電極にそれぞれ接続するトランジスタ T とを備えた構成となっている。

【0004】 強誘電体膜は自発分極を起こし、また外部から電界を印加したときの分極量が図 8 (A) に示すようなヒステリシス特性を持つ。このヒステリシス特性に起因して、外部電界が無くなったときに図 8 (A) の a 点及び c 点に示す 2 安定点が存在する。従って、この強誘電体を絶縁膜として用いた容量素子 C は 2 値情報を保持することができ、かつ、電源を切断した後もその情報を保持し続けることができる (不揮発性)。

3

【0005】a点に保持された情報を、c点で保持する情報に書換えるためには、ワード線WLを高レベルにしてトランジスタTをオンにし、ビット線BL及びプレート線PLによりこの容量素子Cの強誘電体膜FEに抗電界Ec以上の正方向の電界を印加し、またこの逆の場合には強誘電体膜FEに負方向の抗電界-Ec以上の電界を印加する。

【0006】また、この容量素子Cに保持されている情報を読み出すには、同様に、トランジスタTをオンにしてビット線BL及びプレート線PLにより、この強誘電体膜FEに正方向の電界Emaxを印加する。a点に保持された情報からは、(Pmax+Pr)と対応する電荷を外部に取出すことができ、また、c点に保持された情報からは、(Pmax-Pr)と対応する電荷を取出すことができる。そして、この電荷量の差を検知することにより、容量素子Cに保持されていた情報を読み出すことができる。しかし、この読み出しは、a点の情報に対して破壊した読み出しとなるので、a点の情報であることを検知したときには、強誘電体膜FEに負方向の電界-Emaxを印加して情報の再書き込みを行い、読み出し動作を終了する。

【0007】なお、図8(B)に示すように、強誘電体膜FEの膜厚をdcとし、電極CP1、CP2間の印加電圧をVとしたとき、印加電圧Vと電界Eとの間にはV=E・dcなる関係があり従って、抗電界Ecと抗電圧Vcとの間の関係はVc=E・dcとなる。また、このようなメモリセルMCを配置した不揮発性メモリを単一電源で駆動する場合、通常、2値情報の低レベルをd点(-Emax)と対応させて低電源電位レベルとし、高レベルをb点(Emax)と対応させて高電源電位レベルとする。

【0008】このようなメモリセルMCを複数個配置した従来の単一電源駆動型の強誘電体メモリ装置の第1の例を図9に示す。

【0009】この強誘電体メモリ装置は、強誘電体膜を相対向する2つの電極で挟んで形成された容量素子C、及びソース、ドレインのうちの一方を容量素子Cの一方の電極と接続するトランジスタTを備え行方向、列方向に配置された複数のメモリセルMC、これら複数のメモリセルMCの各行それぞれと対応して設けられ対応する列の奇数番目及び偶数番目それぞれのメモリセルのトランジスタのソース・ドレインのうちの他方と接続する複数の第1及び第2のビット線BL11、BL12～BLn1、BLn2、並びに複数のメモリセルMCの2行に1本の割合で設けられ各2行のメモリセルの容量素子の他方の電極と接続する複数のプレート線(PL

4

1、...)を含むメモリセルアレイ1xと、複数のワード線(WL1、WL2、...)それぞれと対応して設けられてゲートを対応するワード線に、ソース・ドレインのうちの一方を対応するプレート線にそれぞれ接続し、ソース、ドレインのうちの他方にプレート線用電圧Vp1を受ける複数のトランジスタ(T41、T42、...)を備え選択レベルのワード線と対応するプレート線にプレート線用電位Vp1を供給するプレート線電位供給回路16とを有する構成となっている。

【0010】次に、この強誘電体メモリ装置の読み出し動作について、図10に示された波形図を参照して説明する。

【0011】ワード線(例えばWL1)が選択レベルに立上る前のスタンバイ状態において、ビット線BL11、BL12～BLn1、BLn2およびプレート線(PL1、...)は接地電位レベルとなっている。ワード線WL1が選択レベルになると、このワード線WL1と接続するメモリセルMCは選択状態となり、また、トランジスタT41が導通状態となってプレート線PL1にプレート線用電圧Vp1が供給される。この結果、これらメモリセルMCの記憶情報が第1のビット線BL11～BLn1に読み出される。これら第1のビット線BL11～BLn1それぞれと対をなす第2のビット線BL12～BLn2は、ワード線WL2が非選択レベルでありこのワード線WL2と対応するメモリセルは非選択レベルであるため、そのレベルは殆んど変化しない。これらの対をなす第1及び第2のビット線BL11、BL12～BLn1、BLn2間の差電位を増幅することにより、選択状態のメモリセルの記憶情報を外部へ読み出すことができる(例えば、T. Sumi等による文献、1994年アイ・イー・イー・イー、インターナショナル・ソリッド・ステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ(1994 IEEE International Solid-State Circuits Conference, DIGEST OF TECHNICAL PAPERS)268～269ページ参照)。この例では、メモリ容量を256Kbとし、電源電圧3.0V、消費電流3mAで、200nsというアクセスサイクル時間が得られている。

【0012】強誘電体メモリ装置においては、メモリセルMCの容量素子Cの強誘電体膜に正負の誘発分極を与えて情報を記憶し、その誘発分極の状態を検知して記憶情報を読み出すため、前述の例のようにプレート線(PL1、...)に所定の電位を供給する必要がある。しかもその容量素子Cは強誘電体により形成されているので、その容量値は通常のDRAMに比べて大きくなる。また、プレート線(PL、...)には、一般に強誘電体との整合性からAu、Pt、Ruなどの貴金属が用いられる。これらの貴金属は、加工性の問題から膜厚を厚くすること

5

が難しく、また、配線幅を広げることは微細化によるメモリ容量高密度化の観点から不利である。したがって、その配線抵抗を低くすることが困難である。従ってプレート線(PL1)の時定数が大きくなるため、このプレート線駆動のための時間が長くなり高速動作が困難となる(例えば、通常のDRAMの場合、メモリ容量64Mbで90nsのアクセスサイクル時間が達成できる)。また、プレート線の充放電が行なわれるため、消費電力も増大する。

【0013】これに対し、プレート線の電位を固定するようにした例(第2の例)の回路図を図11に示す(例えば、特開平2-110895号公報参照)。

【0014】この強誘電体メモリ装置は、複数のプレート線(PL1, ...)を共通接続してPLとした以外は第1の例と同一構成のメモリセルアレイyと(ただし、メモリセルMCは2個、ビット線はBL11, BL12の1対のみ表示)、対をなすビット線(例: BL11, BL12)間の差電位それぞれを制御信号SEP, SENに従って所定のタイミングで増幅する複数のセンス増幅器(SA1, ...)と、ビット線プリチャージ信号BLPに従ってビット線(BL11, BL12, ...)を中間電位レベルにプリチャージするプリチャージ回路17と、ビット線の論理的な“1”レベル及び“0”レベルの中間の中間電位を発生しプレート線PL及びプリチャージ回路17へ供給する中間電位発生回路2xと、ワード線(例えばWL1)が選択レベルとなる直前にビット線電位設定信号BLSTに従ってビット線(BL11, BL12, ...)を接地電位レベルに設定し、ワード線(WL1)が選択レベルになるとこれと同期して選択レベルとなるダミーワード線(DWL1)により選択状態のメモリセルMCの記憶情報が読出されるビット線(BL11)と対をなすビット線(BL12)に基準レベルを供給する基準レベル発生回路4xとを有する構成となっている。

【0015】次にこの強誘電体メモリ装置の読出し動作について図12に示された波形図を併せて参照して説明する。

【0016】メモリセルMCのアクセスが開始されるまでのスタンバイ状態においては、対をなすビット線(BL11, BL12, ...)、以下BL11, BL12についてのみ記載する)はプレート線PLとはほぼ同一の中間電位にプリチャージされている。

【0017】アクセスが開始されてワード線WL1が選択レベルとなる直前には、ビット線電位設定信号BLSTがアクティブとなり、ビット線BL11, BL12、ワード線WL1)およびダミーワード線(DWL1)は接地電位レベル(電源電位レベルでもよい)に設定される。その後、ワード線WL1及びダミーワード線DWL1が選択レベルとなり、ビット線BL11には選択状態のメモリセルMCの記憶情報が読出され、ビット線BL

6

12には基準レベル発生回路7から基準レベルが供給される。この後は、通常のDRAMと同様に、ビット線BL11, BL12間の差電位がセンス増幅器SA1により増幅され外部へ出力される。

【0018】ここで、スタンバイ状態において、メモリセルMCのトランジスタTがオフ状態となっていてこのトランジスタTと容量素子Cとの接続点のセルノードNm cがフローティング状態になっていると、このセルノードNm cと基板(Sub)等との間には、たとえばリークが存在するため、通常、接地レベル又は電源電位レベルの基板とのリークは、最終的にはセルノードNm cを接地電位レベル、電源電位レベルとし、メモリセルMCの自発分極を反転させる結果となる。そこでこの例では、ワード線(WL1等)を選択レベルと非選択レベルとの間の中間電位+Vt(トランジスタTのしきい値電圧)のレベルとしてトランジスタTをわずかにオンさせ、セルノードNm cの電荷が基板等にリークするのをビット線から補うようにしてセルノードNm cをプレート線PLと同程度の中間電位とし、自発分極の反転を防止している。

【0019】この場合、消費電力は小さくて済むが、製造ばらつき等によってメモリセルのトランジスタがオンしないこともあり、セルノードのリークを補うことができず、次のアクセスまでの時間が長くなると自発分極を反転してしまうことがあるため、このような場合には、トランジスタTをオン状態にし、自発分極の反転を防止している。

【0020】

【発明が解決しようとする課題】上述した従来の強誘電体メモリ装置は、第1の例では、アクセスごとにプレート線を所定の電位に駆動する構成となっているので、プレート線駆動のための時間が長く、高速動作が困難な上、プレート線の充放電により消費電力が増大するという問題点があり、また、第2の例では、プレート線には常時所定の電位が供給されているため、第1の例のような問題点はないものの、セルノードからの基板等へのリークによりメモリセルの容量素子の強誘電体膜の自発分極が反転してしまうのを防止するため、スタンバイ状態の間、ワード線を選択レベルと非選択レベルとの間の所定のレベルとしてメモリセルのトランジスタをわずかにオンさせ、セルノードのリークをビット線から補ってプレート線と同程度の電位に保持する一方、製造ばらつき等によってトランジスタがオンとならず、セルノードのリークが補えなくて次のアクセスまでの時間が長い時のために、メモリセルのトランジスタを更にオン状態にする構成となっているので、ワード線の制御が、アクセスのための選択レベル/非選択レベルの制御、セルノード電位補正のためのメモリセルのトランジスタのわずかなオン状態の制御、及び更にオン状態への制御の電位制御が4段階、動作制御が3段階となってしまう、ワード線

7

の電位制御、動作制御が複雑になるという問題点がある。

【0021】本発明の目的は、高速動作及び低消費電力を保ちつつワード線の電位制御、動作制御を単純化し、かつ確実にスタンバイ時の自発分極の反転誤動作を防止することができる強誘電体メモリ装置を提供することにある。

【0022】

【課題を解決するための手段】本発明の強誘電体メモリ装置は、強誘電体膜を相対向する2つの電極で挟んで形成され前記強誘電体膜の分極状態により2値情報を記憶、保持する容量素子とソース、ドレインのうちの一方を前記容量素子の一方の電極に接続するトランジスタとを備え行方向、列方向に配置された複数のメモリセル、これら複数のメモリセルの各行それぞれと対応して設けられ対応する行の各メモリセルのトランジスタのゲートと接続して選択レベルのときこれらメモリセルを選択状態とする複数のワード線、前記複数のメモリセルの各列それぞれと対応して設けられ対応する列の各メモリセルのトランジスタのソース、ドレインのうちの他方と接続する複数のビット線、及び前記複数のメモリセルの容量素子それぞれの他方の電極と接続するプレート線を含むメモリセルアレイと、前記2値情報の論理レベルの高レベル及び低レベルの中間レベルと対応する中間電位を前記プレート線に定常的に供給するプレート線電位供給手段と、前記複数のワード線のうちの所定のワード線が外部アドレス信号にตอบสนองして選択レベルとなる前の所定の期間に前記複数のビット線を前記2値情報の論理レベルの高レベル及び低レベルのうちの一方のレベルと対応する電位にプリチャージするプリチャージ回路と、このプリチャージ回路によりプリチャージされたビット線に選択状態のメモリセルから読出された信号を所定の期間所定の所定の基準レベルと比較し増幅する複数のセンス増幅器と、これら複数のセンス増幅器の増幅期間終了後前記複数のビット線を前記プレート線と同電位の中間電位に保持するビット線中間電位保持手段と、このビット線中間電位保持手段による前記複数のビットの中間電位保持期間中に前記複数のワード線のうちの所定のワード線を選択レベルとしてこのワード線に接続されたメモリセルのトランジスタを導通させこれらメモリセルのトランジスタ及び容量素子の接続点を前記中間電位に補正する容量素子電極電位補正手段とを有することを特徴としている。

【0023】また、複数のビット線それぞれが対をなす第1及び第2のビット線から成り、複数のメモリセルそれぞれがトランジスタのソース、ドレインのうちの他方を前記第1及び第2のビット線と対応接続する第1及び第2のメモリセルから成り、複数のワード線それぞれが前記第1及び第2のメモリセルを対応して選択状態とする第1及び第2のワード線から成り、前記対をなす第1

8

及び第2のビット線のうちの選択状態のメモリセルから読出された信号が伝達される方のビット線と対をなすビット線に所定のタイミングで所定の基準レベルを発生する基準レベル発生回路を備え、センス増幅器を前記第1及び第2のビット線間の差電位を増幅する回路とし、ビット線中間電位保持手段が、前記第1及び第2のビット線を同一電位にバランスさせるバランス回路と、所定のタイミングで前記第1及び第2のビット線に中間電位を供給する中間電位供給回路とを含み、容量素子電極電位補正手段が、前記中間電位供給回路により前記第1及び第2のビット線に中間電位を供給している期間のうちの所定の期間前記第1及び第2のワード線を定期的に変化レベルとするワード線選択手段及びタイミング制御手段を含んで構成され、更に、ワード線選択手段が、内部アドレス信号を発生するアドレスカウンタと、外部アドレス信号及び前記内部アドレス信号のうちの一方を選択するアドレス切換回路とを備え、容量素子の電極電位補正時には前記内部アドレス信号を選択するようにして構成される。

【0024】また、容量素子電極電位補正手段が、プリチャージ回路によるビット線のプリチャージの期間とこの期間に続く外部アドレス信号による所定のワード線の変化レベルの期間とを含む期間以外の期間に、ビット線中間電位保持手段により前記ビット線に中間電位に保持し、かつ複数のメモリセル全てのトランジスタを導通状態とする回路として構成され、更に、容量素子電極電位補正手段が、複数のワード線全てを所定のタイミングで中間電位とメモリセルのトランジスタのしきい値電圧との加算電位より高い所定の電位とするワード線レベル制御回路を含んで構成される。

【0025】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0026】図1は本発明の第1の実施例を示す回路図、図2はこの実施例の動作を説明するための各部信号のタイミング図及び期間終点時の分極状態を示す図である。

【0027】この実施例は、図7、図9、図11に示されたメモリセルMCと同一構成同一配置の複数の奇数番目(第1)及び偶数番目(第2)のメモリセル(図1ではMC11、MC12のみ表示)、これら複数のメモリセル(MC11、MC12、...)の各行それぞれと対応して設けられ対応する行の各メモリセルのトランジスタのゲートと接続して選択レベルのときこれらメモリセルを選択状態とする複数の奇数番目(第1)及び偶数番目(第2)のワード線(WL1、WL2のみ表示)、複数のメモリセル(MC11、MC12、...)の各列それぞれと対応して設けられ対応する列の奇数番目及び偶数番目それぞれのメモリセルのトランジスタのソース、ドレインのうちの他方と対応接続する複数の対をなす第1

9

及び第2のビット線(BL11, BL12のみ表示)、並びに複数のメモリセル(MC11, MC12, ...)全ての容量素子Cの他方の電極と接続するプレート線PLを含むメモリセルアレイ1と、2値情報の論理レベルの高レベル及び低レベルの中間レベルと対応する中間電位Vm(例えば電源電位の1/2の電位)を発生しプレート線PLに定常的に供給する中間電位発生回路2と、トランジスタT21~T23を備えプリチャージ信号BLPの活性化レベルに应答して第1及び第2のビット線(BL11, BL12, ...)を2値情報の論理レベルの高レベル及び低レベルのうちの一方のレベルと対応する電位(この実施例では低レベル対応の接地電位)にプリチャージすると共に、ビット線バランス信号BLBの活性化レベルに应答して第1及び第2のビット線(BL11, BL12, ...)を同一電位にバランスさせるプリチャージ・バランス回路3と、基準レベル発生制御信号RLG1, RLG2の選択レベルに应答して第1及び第2のビット線(例えばBL11, BL12)のうちの選択状態のメモリセルから読出された信号が伝達される方のビット線(例えばBL11)と対をなすビット線(BL12)に2値情報の読出しレベルの高レベル及び低レベルの中間レベルの基準レベルを供給する基準レベル発生回路4と、センス増幅活性化信号SEの活性化レベルに应答して第1及び第2のビット線(BL11, BL12, ...)間の差電位を増幅するセンス増幅器SA1, ...)と、トランジスタT51, T52を備え中間電位供給信号MVSの活性化レベルに应答して中間電位発生回路2からの中間電位Vmを第1及び第2のビット線(BL11, BL12, ...)に供給する中間電位供給回路5と、図1には示されていないが、この中間電位供給回路5により第1及び第2のビット線(BL11, BL12, ...)に中間電位Vmが供給されている期間の所定の期間、ワード線(WL1, WL2, ...)を定期的に所定数本ずつ順次選択レベルとしてこれらワード線と接続するメモリセルのトランジスタTを導通させこれらメモリセルのトランジスタT及び容量素子の接続点(セルノード)NmCを中間電位Vmに補正するワード線選択部及びタイミング制御部を含む容量素子電極電位補正手段とを有する構成となっている。

【0028】次にこの実施例の動作について図2に示された各部信号のタイミング図を併せて参照し説明する。

【0029】まず、複数のワード線(WL1, WL2, ...)のうちの所定のワード線(例えばWL1)が外部アドレス信号に应答して選択レベルとなる前の期間T1にプリチャージ信号BLPを所定の期間活性化レベル(高レベル)としビット線BL11, BL12を接地電位にプリチャージする。またプリチャージ信号BLPの立上りタイミングにビット線にバランス信号BLBを非活性化レベル(低レベル)とする(ビット線プリチャージ期間)。

10

【0030】次の期間T2に、外部アドレス信号の指定するワード線(例えばWL1)を選択レベルとすると共に、対応する基準レベル発生制御信号(RLG1)を活性化レベルとし、選択レベルのワード線(WL1)に接続するメモリセル(MC11)を選択状態としてこのメモリセル(MC11)の記憶内容を対応するビット線

(BL11)に読出し、また基準レベル発生回路4からの基準レベルを対をなすビット線(BL12)に供給する(記憶内容読出し期間)。このとき、ビット線BL11がプリチャージレベルの接地電位、プレート線PLは中間電位Vmとなっているので、容量素子Cの両電極間には、プレート線PL側を基準としてセルノードNmC側に-Vmの電圧が印加され、容量素子Cの強誘電体は図8(A)のd点に駆動され(図2の分極状態参照)、従って、容量素子Cの読出し前の分極状態(図8(A)のa点かc点か)によってビット線BL11上に読出される信号のレベルが異なる。また、図8(A)のc点(以下、単にc点という、他も同様)の分極状態はd点に変化し、記憶破壊されたことになる。

【0031】次の期間T3にはセンス増幅活性化信号SEが活性化レベルとなってセンス増幅器SA1が活性化し、ビット線BL11, BL12間の差電位を増幅する。選択状態のメモリセルMC11の記憶内容が“1”レベルであったとするとビット線BL11は電源電位レベルの高レベルとなり(図2の場合)、“0”レベルのときは接地電位レベルとなる。プレート線PLは中間電位Vmに固定されているので、記憶内容“1”のときはb点に駆動され、“0”のときはd点に駆動される(センス増幅期間)。

【0032】ビット線BL11, BL12の電位が安定した期間T4において、メモリセルMC11から読出された情報が外部に出力され、また外部からのデータによってビット線BL11, BL12の電位に制御してそのデータをメモリセルMC11に書込むことができる(データ読出し、書込み期間)。

【0033】次の期間T5において、センス増幅活性化信号SEを非活性化レベルとしてセンス増幅器SA1を非活性化状態とし、続いてビット線バランス信号BLBを活性化レベルとすることによりビットBL11, BL12を同一電位にバランスさせる。このとき、電源電位及び接地電位にあったビット線BL11, BL12はその中間の電源電位の1/2の電位となるので、容量素子Cの両電極間には電圧がかからなくなり、読出し前の分極状態に戻り、また書込みデータに応じた分極状態となる(記憶動作期間)。

【0034】次の期間T6において、選択レベルのワード線WL1及び対応する基準レベル発生制御信号RLG1をそれぞれ非選択レベル、非活性化レベルとしてメモリセルMC11を非選択状態とすると共にビット線BL11, BL12を基準レベル発生回路4から切離し、メ

11

メモリセルMC11の記憶内容を保持する（記憶内容保持期間）。

【0035】こうして、記憶内容の読出し及び再書き込み又は外部データの書き込み動作、並びに記憶保持までの一連の動作が終了する。

【0036】記憶内容の読出し又は外部データの書き込み動作のないメモリセルや、これらの動作が行なわれない期間には、期間T8の容量素子電極（セルノード）電位補正動作が行なわれる（図2の期間T7は省略可能）。

【0037】この期間T8では、まず中間電位Vmをビット線BL11, BL12に供給する。このビット線BL11, BL12に中間電位Vmが供給されている期間に、所定のワード線（例えばWL2）を定期的に変換レベルとし、このワード線（WL2）と接続するメモリセルのトランジスタTを導通させ、これらメモリセルのセルノードNmを電位変化を少なくしプレート線PLの電位とはほぼ同程度に保つことができるので、メモリセルの記憶破壊（容量素子Cの自発分極の反転誤動作）をなくすることができる。

【0038】この期間T8に所定のワード線を定期的に変換レベルとする方法としては、外部アドレス信号の入力によって行う方法や、内部アドレス信号を発生する方法などがある。

【0039】内部アドレス信号を発生する方法を採用した場合の実施例（第2の）のブロック図を図3に示す。

【0040】この実施例のメモリセルアレイ1, プリチャージ・バランス回路3, 基準レベル発生回路4及び中間電位供給回路5は第1の実施例と同様であり、また第1の実施例における中間電位発生回路2は省略され、センス増幅・列選択回路11にセンス増幅器（SA1, …）が含まれている。また、センス増幅・列選択回路11の列選択回路部分、Xデコーダ9, Yデコーダ10, データ出力回路12及びデータ入出回路13は基本的には通常のDRAMと同様であるので、その説明は省略する。

【0041】アドレスバッファ回路6は、制御回路14の制御のもとに外部アドレス信号ADを取り込み出力する。アドレスカウンタ7は、制御回路14の制御のもとに内部アドレス信号ADIを発生する。そして、アドレス選択回路8は、制御回路14の制御のもとにアドレスバッファ回路6からのアドレス信号及び内部アドレス信号ADIのうちの一方を選択してXデコーダ9に伝達し、Xデコーダ9はこの伝達されたアドレス信号に従って複数のワード線WL1～WLmのうちの所定のワード線を選択レベルとする。

【0042】これら回路の外部アドレス信号ADによるアクセスは通常のDRAMと同様であるが、期間T8の容量素子電極電位補正動作の期間では、アドレスカウンタ7からの内部アドレス信号ADIによって所定のワード線が選択レベルとなる。

12

【0043】図4は内部アドレス信号ADIによりワード線WL1～WLmが順次選択レベルとなる様子を示すタイミング図である。この図4には、ワード線WL1～WLmを1本ずつ順次選択レベルとする例が示されているが、ワード線WL1～WLmのうちの複数本を同時に選択レベルとしてもよい。

【0044】これら実施例においては、プレート線PLの電位が固定されているので、その充電、放電がなく、従ってその分、動作の高速化及び消費電力の低減ができる。また、セルノード電位補正のための選択レベル／非選択レベルの制御と、電位制御及び動作制御とも2段階となるので、従来の技術における第2の例の電位制御4段階、動作制御3段階に比べ大幅に単純化することができ、かつメモリセルの記憶破壊を防止することができる。

【0045】図5は本発明の第3の実施例を示すブロック図、図6はこの実施例の動作を説明するための各部信号のタイミング図である。

【0046】この実施例が図3に示された第2の実施例と相違する点は、容量素子電極電位補正手段を、アドレスカウンタ7, アドレス選択回路8, Xデコーダ9及び制御回路14に代えて、ワード線レベル制御回路15, Xデコーダ9a及び制御回路14aとし、プリチャージ・バランス回路3によるビット線（BL11, BL12, …）のプリチャージの期間と、この期間に続く外部アドレス信号ADによる所定のワード線の変換レベルの期間とを含む期間以外の期間に、中間電位供給回路5によりビット線（BL11, BL12, …）を中間電位Vmに保持し、かつ全ワード線WL1～WLmを、中間電位VmとメモリセルのトランジスタTのしきい値電圧Vtとの加算電位より高い所定の電位にしてメモリセルアレイ1の複数のメモリセル全てのトランジスタTを導通状態とする回路とした点にある。

【0047】この実施例では、メモリセルに対する読出し、書き込み動作（アクセス）終了後、期間T5において、センス増幅活性化信号SEを非活性化レベルとした後、ビット線バランス信号BLB及び中間電位供給信号MVSを活性化レベルとしてビット線（BL11, BL12, …）を中間電位Vmに保持し、期間T6で選択レベルのワード線を含む全てのワード線WL1～WLmを、全メモリセルのトランジスタTが導通状態となる電位とする。以後、この状態を次のアクセスが開始される期間T1のプリチャージ信号BLPの立上りタイミングまで保持する。この結果、ビット線プリチャージ期間を含むメモリセルアクセス時以外は全メモリセルのセルノードNmにプレート線PLと同電位の中間電位Vmが供給され、これらメモリセルの記憶破壊を防止することができる。

【0048】この実施例においては、第1及び第2の実施例と同様に動作の高速化及び消費電力の低減、並びに

13

記憶破壊の防止ができ、ワード線の電位制御は２段階（全メモリセルのトランジスタ導通時の電位を通常のアクセス時の選択レベルとした場合）又は３段階（通常のアクセス時の選択レベルとは異なるレベルとした場合）となり、第１、第２の実施例より複雑になる場合もあるが、セルノード電位補正期間におけるワード線を選択動作が不要となるので、ワード線の制御は、第１、第２の実施例と同程或いはそれ以上に単純化され、またワード線を選択動作が不要な分、動作の高速化が可能となる。

【0049】

【発明の効果】以上説明したように本発明は、プレート線の電位を固定し、かつセルノードの電位を、メモリセルのトランジスタを導通状態にしてプレート線と同電位に補正する構成となっているので、動作の高速化及び消費電力の低減、並びに記憶破壊の防止ができ、かつワード線の電位制御、動作制御を単純化することができる効果がある。

【図面の簡単な説明】

【図１】本発明の第１の実施例を示す回路図である。

【図２】図１に示された実施例の動作を説明するための各部信号のタイミング図である。

【図３】本発明の第２の実施例を示すブロック図である。

【図４】図３に示された実施例の動作を説明するための各部信号のタイミング図である。

【図５】本発明の第３の実施例を示すブロック図である。

【図６】図５に示された実施例の動作を説明するための各部信号のタイミング図である。

【図７】強誘電体メモリ装置に使用されるメモリセル及びその周辺の回路及び断面図である。

【図８】図７に示されたメモリセルの印加電界対分極量のヒステリシス特性及び印加電圧と電界、分極量との関係を示す図である。

14

* 【図９】従来の不揮強誘電体メモリ装置の第１の例を示す回路図である。

【図１０】図９に示された強誘電体メモリ装置の動作を説明するための各部信号の波形図である。

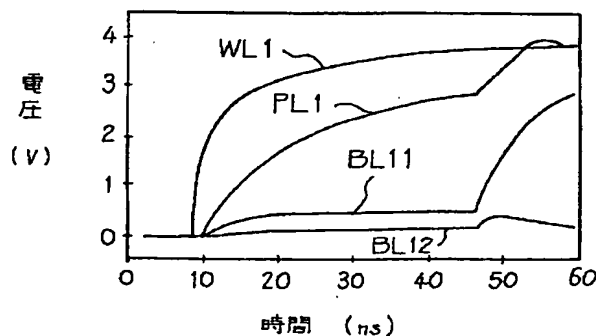
【図１１】従来の強誘電体メモリ装置の第２の例を示す回路図である。

【図１２】図７に示された強誘電体メモリ装置の動作を説明するための各部信号のタイミング図である。

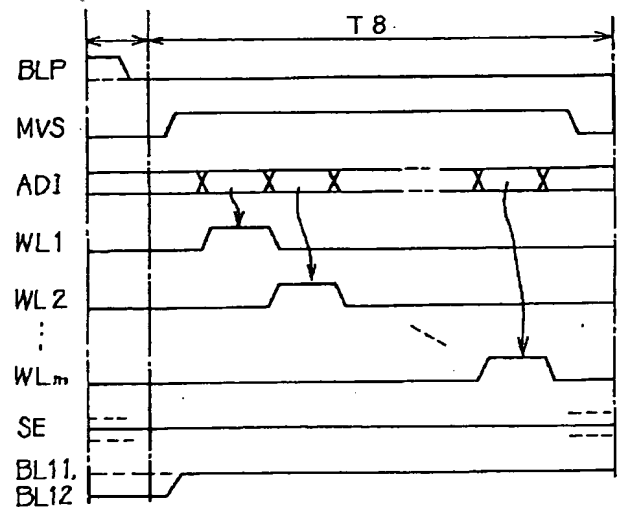
【符号の説明】

- 10 1, 1x, 1y メモリセルアレイ
2, 2x 中間電位発生回路
3 プリチャージ・バランス回路
4, 4x 基準レベル発生回路
5 中間電位供給回路
6 アドレスバッファ回路
7 アドレスカウンタ
8 アドレス選択回路
9, 9a Xデコーダ
10 Yデコーダ
20 11 センス増幅・列選択回路
12 データ出力回路
13 データ入力回路
14, 14a 制御回路
15 ワード線レベル制御回路
16 プレート線電位供給制御回路
17 プリチャージ回路
BL, BL11, BL12~BLn1, BLn2 ビット線
C 容量素子
30 MC, MC1, MC2 メモリセル
PL, PL1 プレート線
SA1 センス増幅器
T, T21~T23, T41, T42, T51, T52 トランジスタ
* WL, WL1~WLn ワード線

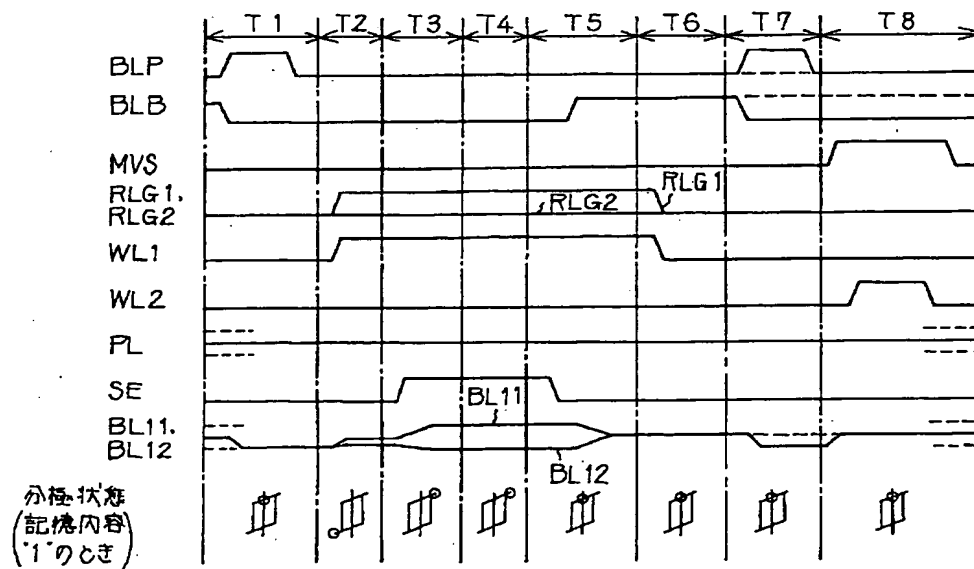
【図１０】



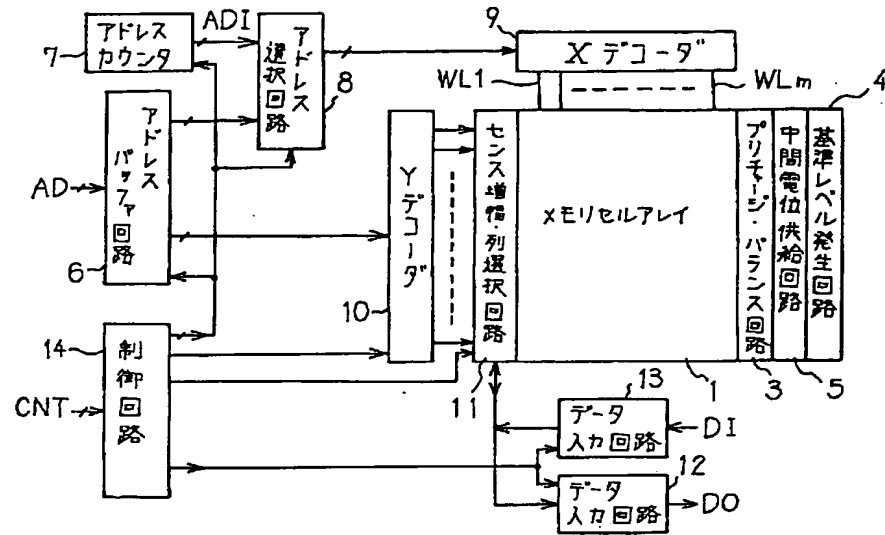
【図 4】



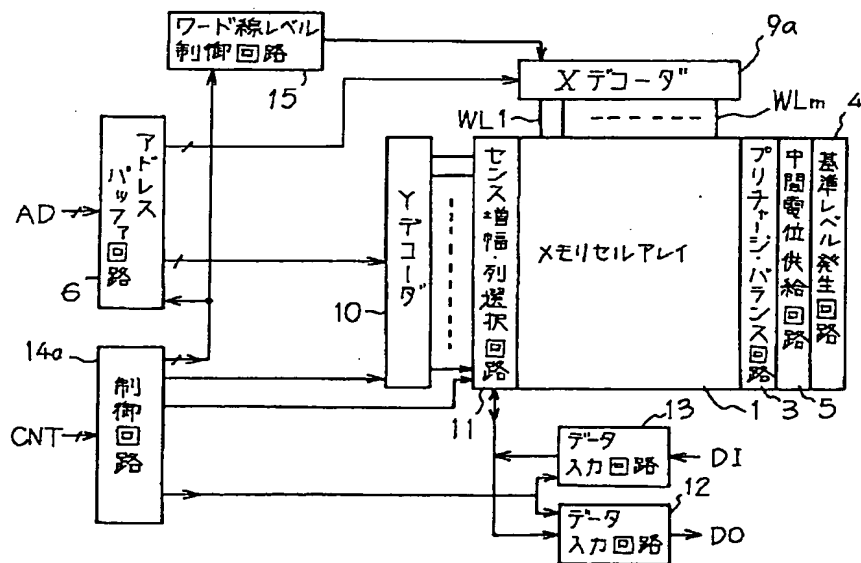
【図 2】



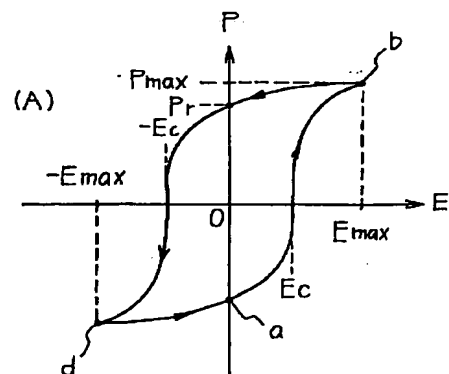
【図3】



【図5】

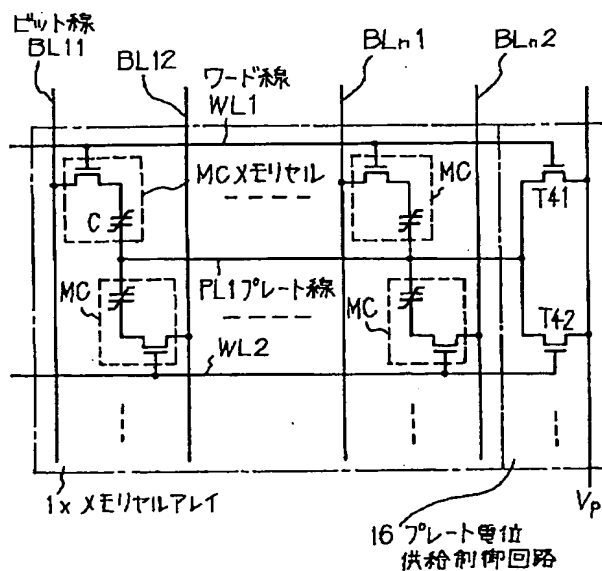


【图 8】

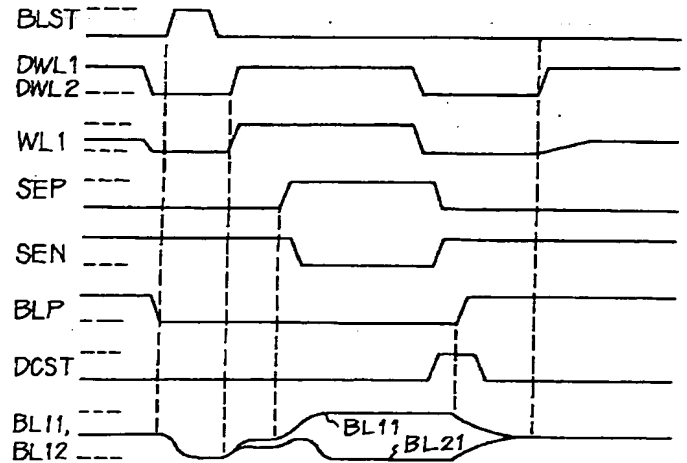


(B)

Diagram (B) shows a schematic of a device with two electrodes, CP1 and CP2, and a central channel. An electric field E is applied vertically, and a pressure P is applied horizontally. The channel has a diameter d_c and a length l . The device is connected to a voltage source V .



【圖 1 2】



【補正方法】 変更

【補正内容】

【請求項4】 容量素子電極電位補正手段が、プリチャージ回路によるビット線のプリチャージの期間とこの期間に続く外部アドレス信号による所定のワード線の選択レベルの期間とを含む期間以外の期間に、ビット線中間電位保持手段により前記ビット線を中間電位に保持し、かつ複数のメモリセル全てのトランジスタを導通状態とする回路として構成された請求項1記載の強誘電体メモリ装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】この実施例は、図7、図9、図11に示されたメモリセルMCと同一構成同一配置の複数の奇数番目（第1）及び偶数番目（第2）のメモリセル（図1ではMC11、MC12のみ表示）、これら複数のメモリセル（MC11、MC12、…）の各行それぞれと対応して設けられ対応する行の各メモリセルのトランジスタTのゲートと接続して選択レベルのときこれらメモリセルを選択状態とする複数の奇数番目（第1）及び偶数番目（第2）のワード線（WL1、WL2のみ表示）、複数のメモリセル（MC11、MC12、…）の各列それぞれと対応して設けられ対応する列の奇数番目及び偶数番目それぞれのメモリセルのトランジスタのソース、ドレインのうちの他方と対応接続する複数の対をなす第1及び第2のビット線（BL11、BL12のみ表示）、並びに複数のメモリセル（MC11、MC12、…）に全ての容量素子Cの他方の電極と接続するプレート線PLを含むメモリセルアレイ1と、2値情報の論理レベルの高レベル及び低レベルの中間レベルと対応する中間電位Vm（例えば電源電位の1/2の電位）を発生しプレート線PLに定常的に供給する中間電位発生回路2と、トランジスタT21〜T23を備えプリチャージ信号BLPの活性化レベルにตอบสนองして第1及び第2のビット線（BL11、BL12、…）を2値情報の論理レベルの

高レベル及び低レベルのうちの一方のレベルと対応する電位（この実施例では低レベル対応の接地電位）にプリチャージすると共に、ビット線バランス信号BLBの活性化レベルにตอบสนองして第1及び第2のビット線（BL11、BL12、…）を同一電位にバランスさせるプリチャージ・バランス回路3と、基準レベル発生制御信号RLG1、RLG2の選択レベルにตอบสนองして第1及び第2のビット線（例えばBL11、BL12）のうちの選択状態のメモリセルから読出された信号が伝達される方のビット線（例えばBL11）と対をなすビット線（BL12）に2値情報の読出しレベルの高レベル及び低レベルの中間レベルの基準レベルを供給する基準レベル発生回路4と、センス増幅活性化信号SEの活性化レベルにตอบสนองして第1及び第2のビット線（BL11、BL12、…）間の差電位を増幅するセンス増幅器SA1、…）と、トランジスタT51、T52を備え中間電位供給信号MVSの活性化レベルにตอบสนองして中間電位発生回路2からの中間電位Vmを第1及び第2のビット線（BL11、BL12、…）に供給する中間電位供給回路5と、図1には示されていないが、この中間電位供給回路5により第1及び第2のビット線（BL11、BL12、…）に中間電位Vmが供給されている期間の所定の期間、ワード線（WL1、WL2、…）を定期的に所定数本ずつ順次選択レベルとしてこれらワード線と接続するメモリセルのトランジスタTを導通させこれらメモリセルのトランジスタT及び容量素子の接続点（セルノード）Nmを中間電位Vmに補正するワード線選択部及びタイミング制御部を含む容量素子電極電位補正手段とを有する構成となっている。

【手続補正4】

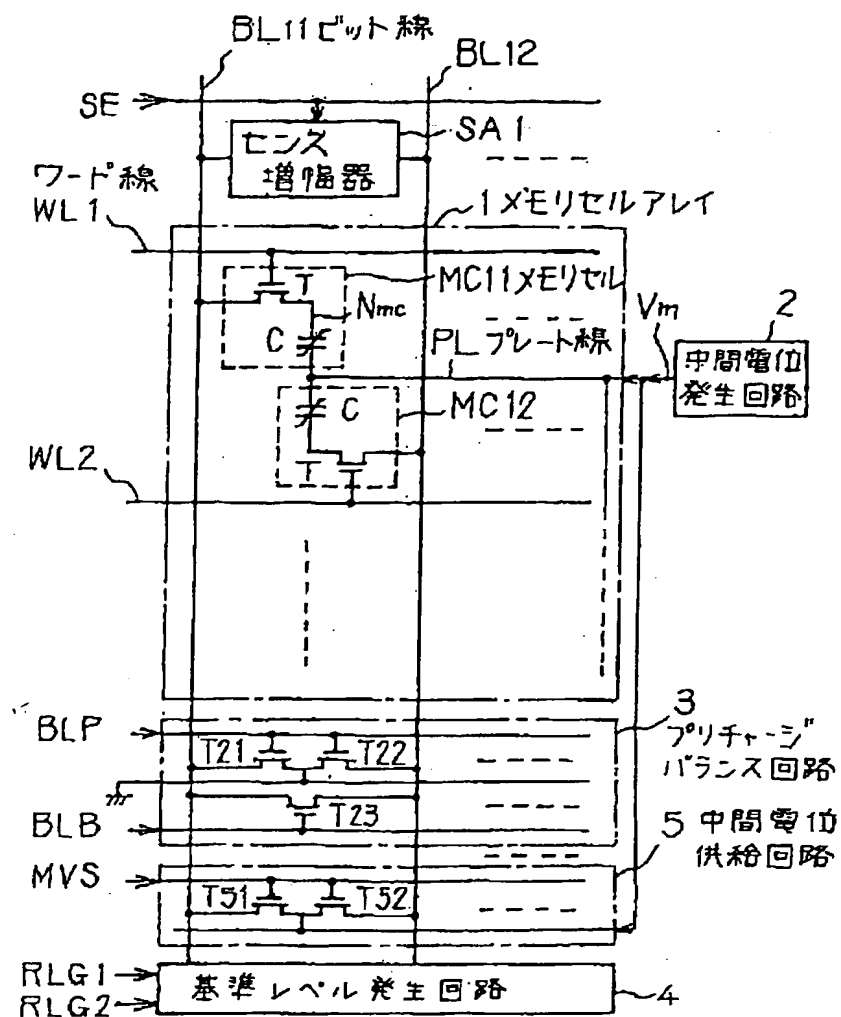
【補正対象書類名】明細書

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正書】

【提出日】平成8年10月4日

【手続補正4】

【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】

